



Prof. dr hab. Piotr Salabura

Instytut Fizyki im. M. Smoluchowskiego

Uniwersytet Jagielloński

30-059 Kraków

24.09.2015

Kraków

Recenzja pracy doktorskiej mgr. Mirosława Firleja zatytułowanej „SALT readout ASIC for LHCb upgrade experiment – clock generation and data transmission”

Praca doktorska mgr. Firleja „SALT readout ASIC for LHCb upgrade experiment – clock generation and data transmission” dotyczy projektu, wykonania oraz testów laboratoryjnych układów pętli synchronizacji fazy (Phase-Locked Loop - PLL) ogólnego przeznaczenia (MULTI_PLL), dedykowanej dla układu SALT (Silicon ASIC for LHCb Tracking) oraz układu pętli opóźniającej (Delay –Locked Loop -DLL) w technologii CMOS 130 nm. Głównym zastosowaniem dla w.w układów jest system odczytu nowego detektora krzemowego, Upstream Tracker (UT), budowanego dla detektora LHCb w ramach programu przebudowy detektora, którego głównym celem jest pełne wykorzystanie docelowej świetlności LHC $2 \cdot 10^{34} \text{ cm}^2 / \text{s}$ (5-cio krotnie większej od obecnej) w tzw. fazie 3 od roku 2019. Zasadniczym celem jest uzyskanie częstotliwości odczytu detektora 40 MHz kompatybilnej z częstością przecinania się wiązek w akceleratorze. Równoległą motywacją, o nieco dłuższej perspektywie, było opracowanie układu PLL w technologii ASIC odpornej na jonizację o bardzo niskim poborze mocy który mógłby zostać zastosowany do bardzo szybkich złącz danych o przepustowości 5 Gb/s-10 Gb/s, np. wykorzystanych do odczytu układów ADC dla przyszłego akceleratora linowego ILC.

Praca mgr. Firleja została wykonana w grupie Prof. Idzika z AGH odpowiedzialnej za wykonanie układu SALT. Obszar odpowiedzialności oraz temat wykonanej pracy przez mgr.

Firleja została bardzo dobrze określona w pracy jako projekt, symulacje oraz ewaluacja w postaci szczegółowych testów laboratoryjnych wykonanych na pierwszych prototypach w.w układów.

Praca składa się z czterech głównych rozdziałów, podsumowania oraz dodatku w którym zostały zamieszczone kompletne wyniki pomiarów prototypów układów MULTI_PLL, SALT_PLL, SALT_DLL. Praca została napisana po angielsku i liczy 124 (z dodatkami 149) stron. Została napisana niezwykle starannie (praktycznie brak w niej błędów edytorskich), w zrozumiałym sposobie i można ją uznać jako dobry wzór do naśladowania. Stanowi cenny materiał badawczy i dokumentacyjny dla innych członków zespołu.

Rozdział pierwszy pracy zawiera krótki opis celu eksperymentu LHCb, jego budowę oraz założenia programu przebudowy. W szczególności opisano strukturę detektora krzemowego UT pod względem organizacji odczytu oraz architekturę układu SALT oraz rolę projektowanych układów PLL oraz DLL. W rozdziale drugim przedstawiono zasady działania układów PLL oraz DLL, omówiono podstawy działania oraz formalizm matematyczny głównych komponent układu : detektora fazy i częstotliwości (Phase and Frequency Detector-PFD) , pompy ładunkowej (Charge Pump-CP) i filtra dolnoprzepustowego (Low-Pass Filter) oraz oscylatora i linii opóźniającej sterowanej napięciem (Voltage Controlled Oscillator – VCO and Delay Line). Rozdział trzeci przedstawia szczegóły rzeczywistej implementacji w.w komponent w układach MULTI_PLL, SALT_PLL oraz SALT_DLL w technologii CMOS oraz wyniki symulacji, przeprowadzonych zarówno na schematach jak i ostatecznych maskach produkcyjnych uwzględniających parametry tranzystorów. Wykonano dwa projekty układów PLL oraz DLL dla układów SALT , w technologii CMOS A oraz B, oraz dwa prototyp układu MULTI_PLL w technologii A ale z pewnymi ulepszeniami. Duży nacisk położono na zoptymalizowanie (ręczne) masek technologicznych pod względem zmniejszenia poboru mocy (<1 mW) oraz powierzchni zajmowanej przez układy przy jednoczesnym utrzymaniu bardzo dobrych parametrów tzw. drżenia zegara (jitter) które są kluczowe dla tego typu układów. Uzyskano bardzo dobre parametry układów:

1. MULTI_PLL (rozdział 3.1) : szeroki obszar pracy 6.5 MHz-3.0 GHz, dostępny w 16 modach pracy wybieranych przez automatyczny system sterujący (Automatic Frequency Mode Setting-AFMS) opracowany przez autora pracy, sześć możliwych wartości dzielnika częstotliwości (6,8,10,16) , drzeniem zegara 10-2 ps w obszarze częstotliwości 200 MHz-3GHz (wg. symulacji na maskach dla drugiej wersji układu).

2. PLL dla SALT (rozdział 3.2) o mniejszym obszarze pracy 40-400 MHz, podzielonym na 4 mody kontrolowane z zewnątrz, rozciągającym się wokół docelowej częstotliwości 160 MHz przewidzianej dla transmisji danych z układu SALT, czterema dzielnikami częstotliwości (2,4,6,8), szesnastoma fazami, drżeniem zegara poniżej 1.5 ps w obszarze 80-320 MHz (symulacje na maskach wersji drugiej układu).
3. DLL (rozdział 3.3) dostarczający 64 fazy zegara opóźnione względem referencyjnego zegara (40 MHz) z minimalnym kwantem opóźnienia regulowanym obszarze 355-445 ps i drżeniem około 10 ps

Rozdział 4 przedstawia system pomiarowy, sposób ustawiania parametrów pracy układów oraz metodologię pomiarów i zasadnicze wyniki uzyskane dla obu prototypów: charakterystyki wzmocnienia układów obu układów PLL, drżenia zegara (krótko oraz długoterminowego) oraz poboru mocy dla różnych ustawień dzielnika częstotliwości. Dla układu SALT PLL podano także zależność całkowitego opóźnienia od numeru fazy (0-16) a dla układu SALT DLL zależność kwantu opóźnienia i całkowitego opóźnienia od numeru fazy i rozkłady drżenia zegara oraz pobory mocy. Wybrane charakterystyki bardzo dobrze opisują krytyczne parametry pracy układów oraz dowodzą w sposób jasny spełnienie warunków stawionych przed projektem co należy uznać za doniosły sukces pracy. Do najważniejszych cech układu należy uznać: pełną funkcjonalnością, bardzo niski pobór mocy (<0.7 mW MULTI_PLL, 0.95 mW@160 MHz dla SALT PLL, 0.7 mW dla SALT DLL)- znacznie niższy w stosunku do podobnych układów zrealizowanych do tej pory (tabela 4.13, 4.14)- oraz niski poziom drzeń zegara (<20 ps dla $f > 200$ MHz, <6ps i 2.5-12 ps, odpowiednio).

Rozległy zasięg pracy, od projektu układów płytek PCB poprzez symulacje oraz dogłębne testy laboratoryjne zakończone pełnym sukcesem dowodzą bardzo wysokiego poziomu naukowego pracy oraz merytorycznego przygotowania samego doktoranta. Sposób przedstawienia projektu opis, uzyskanych wyników dowodzą profesjonalności oraz dobrego przygotowania do samodzielnej pracy naukowej. W zasadzie nie mam uwag krytycznych do pracy, pozwolę sobie jednak na zadanie parę pytań, wymienionych poniżej, na które chciałbym uzyskać odpowiedź w czasie obrony:

- 1) W rozdziale 3 pokazano szereg wyników symulacji dotyczących zwłaszcza drżenia zegara. W rozdziale 4 umieszczono wyniki odpowiednich pomiarów. Proszę dokonać porównania wyników symulacji (zwłaszcza tych na maskach produkcyjnych) z

pomiarami a w szczególności skomentować ewentualne różnice wynikające z technologii A i B

- 2) Układ DLL został zaprojektowany pod kątem dopasowania opóźnień zegara do momentu próbkowania ADC koniecznych do skompensowania różnic czasowych wynikających z pojemności detektora UT SALT (sensory typu A,B,C,D z rysunku 1.8). Proszę zdefiniować jakie konkretne wymagania czasowe zostały narzucone z punktu widzenia detektora oraz czy zostały spełnione.
- 3) Układ MULTI_PLL posiada logikę sterującą nastawieniami pętli które może być podatna na przekłamania (tzn. Single Event Upset) wynikające z pracy w otoczeniu wysokiego poziomu radiacji. Jak wygląda zabezpieczenie systemu przed ewentualnymi błędami. Podobna sytuacja może także wystąpić w czasie transmisji danych przez łącza transmisyjne, czy wobec tego są przewidziane jakieś metody zabezpieczenia ?

Powyższe pytania nie mają wpływu na moją bardzo wysoką ocenę pracy. Nie mam najmniejszych wątpliwości że przedstawiona praca spełnia ustawy z dnia 14/3/2003 o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki, dlatego te ż wnoszę do rady wydziału WFiIS AGH o dopuszczenie mgr. Firleja do dalszych etapów przewodu doktorskiego.

Z poważaniem

Piotr Salabura

