

SALT readout ASIC for LHCb upgrade experiment - clock generation and data transmission Mirosław Firlej

Streszczenie

Fizyka cząstek zajmuje się badaniem natury składników materii i promieniowania. Model Standardowy (ang. Standard Model) opisuje fundamentalne składniki materii oraz ich oddziaływania. Istnieje 6 leptonów, 6 kwarków oraz odpowiadające im antycząstki. Wszystkie te cząstki fundamentalne są fermionami i posiadają spin połówkowy ($1/2$). Współczesne badania w tej dziedzinie fizyki skupiają się na subatomowych cząstkach oraz składnikach atomów: elektronach, barionach (protonach i neutronach zbudowanych z kwarków); a także tych wyprodukowanych przez procesy rozpraszania np.: fotonach, neutrinach i mionach. Fizyka cząstek podzielona jest na dwie dziedziny. Pierwsza z nich, nazywana fizyką nie-akceleratorową, skupia się na detekcji cząstek produkowanych w naturalnych procesach i ich oddziaływaniach. Dobrym przykładem badań w tej dziedzinie fizyki jest detekcja promieniowania kosmicznego, którego natura dostarcza cząstek o ogromnych energiach, przewyższających te możliwe do uzyskania na Ziemi, jednakże promieniowanie kosmiczne jest przypadkowe, a także ma znacznie mniejszą intensywność niż wiązka w akceleratorze. To właśnie rosnąca potrzeba stworzenia promieniowania podobnego do promieniowania kosmicznego w kontrolowanych warunkach prowadzi do drugiej gałęzi fizyki cząstek jaką są nowoczesne eksperymenty fizyki wysokich energii (ang. High Energy Physics).

Eksperymenty fizyki wysokich energii są zawsze bardzo dużymi i skomplikowanymi systemami, które produkują ogromne ilości danych pomiarowych. W rezultacie istnieje rosnąca potrzeba odczytu danych z układów o ogromnej liczbie kanałów, często sięgającej milionów, a nawet znacznie więcej. Obecnie przetwarzanie sygnałów elektrycznych jest dość podobne w wielu eksperymentach, składa się ono z: analogowej ekstrakcji i wstępnego przetwarzania sygnału, konwersji na postać cyfrową, cyfrowego przetwarzania sygnału DSP (ang. Digital Signal Processing) oraz szybkiej serializacji i transmisji danych. W związku z ciągle rosnącą gęstością i liczbą kanałów odczytowych, istnieje ciągła presja aby zredukować moc pobieraną przez wielokanałowe układy odczytu. Zatem uzyskanie niskiego poboru mocy jest podstawowym zagadnieniem przy rozwoju przyszłych wielokanałowych układów odczytu.

Eksperymentem fizyki wysokich energii, w ramach którego wykonywana jest ta rozprawa, jest LHCb (ang. Large Hadron Collider beauty), będący jednym z czterech eksperymentów-detektorów umieszczonych wokół pierścienia Wielkiego Zderzacza Hadronów LHC (ang. Large Hadron Collider). Obecny system trygera w LHCb zawiera dwa poziomy:

- na pierwszym poziomie tryger sprzętowy redukuje częstotliwość zdarzeń z wartości nominalnej dla LHC (40 MHz) do nie większej niż 1.1 MHz;
- na drugim poziomie pracuje tryger programowy, odpowiedzialny za obróbkę danych powstałych z odczytu całego detektora ze zredukowaną częstotliwością.

Strumień danych, ograniczony przez trygery, limituje dokładność pomiarów osiąganą przez LHCb. Z tego powodu konieczna jest modernizacja systemu trygera LHCb, która odbędzie się w czasie przerwy w pracy akceleratora LHC, trwającej od połowy 2018 do końca 2019 roku.

Modernizacja pozwoli na znaczną poprawę możliwości fizycznych eksperymentu LHCb, jednak wymagać to będzie wymiany między innymi systemów odczytu detektorów śladowych (ang. Tracker System), które będą musiały umożliwić zbieranie danych z częstotliwością 40 MHz i wysyłać je do systemu akwizycji w celu dalszej analizy.

Głównym tematem tej rozprawy jest projekt nowego systemu odczytu dla detektora UT (ang. Upstream Tracker), będącego jednym z detektorów śladów w zmodernizowanym eksperymencie LHCb. Projektowany system elektroniki odczytu, nazywany dalej SALT (ang. Silicon ASIC for LHCb Tracking), budowany jest w postaci dedykowanego układu scalonego ASIC (ang. Application Specific Integrated Circuit). Jest to prawdopodobnie pierwszy na świecie wielokanałowy układ scalony, o tak niskim poborze mocy, do zastosowań w dziedzinie fizyki cząstek, zawierający kompletny tor odczytowy: począwszy od elektroniki front-end, poprzez szybkie przetworniki analogowo-cyfrowe ADC (ang. Analog to Digital Converters) w każdym kanale

odczytowym, a skończywszy na cyfrowym przetwarzaniu sygnału DSP i szybkiej serializacji i transmisji danych. W rozwoju tak zaawansowanego układu uczestniczy wiele osób, zarówno w procesie projektowania jak i późniejszych testach prototypów układów ASIC. Za projekt elektroniki odczytu SALT odpowiada grupa z katedry oddziaływań i detekcji cząstek WFiS AGH, zaś autor jest przede wszystkim odpowiedzialny za projekt i pomiary układów PLL (ang. Phase-Locked Loop) i DLL (ang. Delay-Locked Loop), wchodzących w skład układu SALT. Wielofazowy układ PLL dla modułów serializatora i deserializatora w systemie odczytu SALT zapewnia powielanie częstotliwości przebiegu zegarowego oraz jego przesuwanie w fazie, co jest konieczne dla poprawnego odbierania danych przez ASIC. Detektor UT posiada sensory o różnych geometriach, a co za tym idzie o różnych pojemnościach, co bezpośrednio wpływa na kształt impulsu (peaking time) elektroniki front-end. Z tego powodu konieczny jest dedykowany układ DLL, pozwalający na dopasowanie fazy przebiegu zegarowego i zapewnienie poprawnego próbkowania sygnału (w odpowiedniej fazie) za pomocą szybkich przetworników analogowo-cyfrowych.

Równoległym celem niniejszej rozprawy jest zaprojektowanie w niedalekiej przyszłości, dużo szybszego niż w projekcie SALT i o bardzo niskim poborze mocy, układu do serializacji i transmisji danych, zdolnego do pracy z częstotliwościami znacznie większymi od 1 GHz. W dziedzinie fizyki cząstek byłby to znów pierwszy na świecie układ charakteryzujący się bardzo dużą przepustowością danych (5 Gb/s - 10 Gb/s) z jednoczesnym bardzo niskim poborem mocy (~15 mW). W tym celu autor zaprojektował układ PLL ogólnego przeznaczenia (nazwany MULTI_PLL) i przeprowadził prace badawczo-rozwojowe pod kątem jego zastosowania w bardzo szybkich serializatorach danych. MULTI_PLL został zaprojektowany i użyty przy serializacji danych z wielokanałowych 6-bitowych i 10-bitowych przetwornikach ADC, z których ten ostatni ma działać w systemie odczytu detektora LumiCal (ang. Luminosity Calorimeter) przy akceleratorze ILC (ang. International Linear Collider).

Rozprawa prezentuje pracę autora poczynając od projektu układu PLL ogólnego przeznaczenia, poprzez projekty układów PLL i DLL dedykowanych dla systemu odczytu SALT, kończąc na kompletnych pomiarach i parametryzacji wszystkich zaprojektowanych układów ASIC. Prace projektowe były prowadzone w dwóch różnych technologiach krzemowych 130 nm CMOS (ang. Complementary Metal-Oxide Semiconductor), które nazwano odpowiednio technologią A i technologią B, w celu ochrony poufnych danych technologicznych. Oprócz projektu układów PLL i DLL, które stanowią główny wkład autora w rozwój systemu odczytu SALT, uczestniczył on również w procesie projektowania innych bloków funkcjonalnych tego systemu (np. konwerter sygnału unipolarnego na różnicowy). Tekst rozprawy opisuje głównie pracę autora, jednak dla zachowania ciągłości i spójności rozprawy przedstawiono szerszy opis detektora LHCb wraz z planowaną modernizacją oraz krótki opis całego systemu odczytu SALT.

W pierwszym rozdziale przedstawiony został ogólny opis eksperymentu LHCb. W wielkim skrócie opisane zostały poszczególne podsystemy detekcyjne. Cele fizyczne eksperymentu pozwalają na szukanie nowej fizyki w łamaniu symetrii CP i rzadkich rozpadach hadronów, w skład których wchodzi kwarki b i c. Dalsza część rozdziału poświęcona jest modernizacji detektora oraz omówieniu powodów, które doprowadziły do takiej konieczności. Duży nacisk położono na prezentację detektora UT, który ma zastąpić obecnie działający detektor TT (ang. Trigger Tracker) oraz prezentację jego kluczowych parametrów. Na końcu rozdziału zamieszczono wprowadzenie do architektury systemu odczytu SALT oraz krótki opis jego najważniejszych parametrów.

Drugi rozdział opisuje zagadnienia teoretyczne związane z generacją przebiegów zegarowych i transmisją danych. Na początku wyjaśnione zostały różnice między transmisją szeregową i równoległą, co bezpośrednio prowadzi do omówienia zagadnienia serializacji danych. Teoretyczna analiza układów PLL i DLL ujęta jest w dalszej części tego rozdziału. Zaprezentowane zostały matematyczne modele wspomnianych układów i ich analiza oraz poddano dyskusji problemy stabilności układów PLL i DLL. Wskazano różnice między układem PLL I-go i II-go rodzaju. Na końcu tego rozdziału przedstawiono analizę bloków funkcjonalnych używanych przy budowie PLL i DLL.

Projekty bloków PLL i DLL dla systemu odczytowego SALT i innych zastosowań ogólnego przeznaczenia przedstawione zostały w rozdziale trzecim. Zaprezentowany został także krótki wstęp do technologii i

projektowania układów ASIC, omówiono również proces prototypowania układów scalonych. Następnie przedstawiono projekt i symulacje układu PLL (MULTI_PLL) ogólnego przeznaczenia wraz ze szczegółowymi symulacjami jego bloków funkcjonalnych. Na szczególną uwagę zasługuje tutaj, zaproponowany przez autora, układ automatycznego przełączania zakresów pracy PLL-a, nazwany AFMS (ang. Automatic Frequency Mode Setting). Układ ten umożliwia znaczne rozszerzenie zakresu częstotliwości pracy układu PLL. Dalsza część tego rozdziału skupia się nad układami PLL i DLL dedykowanymi do systemu odczytu SALT. Oba układy mają podobne bloki funkcjonalne, a część z nich bazuje na tych zaprojektowanych wcześniej dla układu MULTI_PLL, zatem szczegółowo przedstawiono tylko najważniejsze ich elementy.

W ostatnim rozdziale przedstawione zostały stanowiska pomiarowe i wyniki pomiarów dla wyprodukowanych prototypowych układów scalonych ASIC. We wstępie do rozdziału opisana została metodologia pomiaru drżenia zegara (ang. jitter) i sposoby obliczania poszczególnych jego typów. Drżenie zegara jest jednym z najważniejszych parametrów układów cyfrowych, pozwalającym na dobranie ich marginesów czasowych, zatem główna część tego rozdziału poświęcona jest właśnie efektowi drżenia zegara. W rozdziale tym przedstawiono także prototypowe płytki drukowane PCB (ang. Printed Circuit Boards), które zapewniają połączenia elektryczne prototypowych układów ASIC oraz zawierają najważniejsze elementy zewnętrzne umożliwiające ich pracę. W rozdziale czwartym zaprezentowano też wolne interfejsy szeregowo do konfiguracji układów ASIC oraz konfiguracje stanowisk pomiarowych wraz z wymaganym sprzętem laboratoryjnym, które w efekcie prowadzą do wyników pomiarów przedstawionych na końcu tego rozdziału.

Wszystkie projekty masek technologicznych były wykonane ręcznie, bez użycia narzędzi do automatycznego projektowania elektroniki cyfrowej. Pozwoliło to na redukcję powierzchni zajmowanej przez układy PLL i DLL oraz na zmniejszenie pobieranej przez nie mocy. Taki sposób projektowania jest konieczny przy budowie bloków takich jak oscylator sterowany napięciem VCO (ang. Voltage-Controlled Oscillator) czy też sterowana napięciem linia opóźniająca VCDL (ang. Voltage-Controlled Delay Line), gdzie pojemności pasożytnicze bardzo łatwo degradują działanie układu. Prace autora obejmują wszystkie dziedziny związane z prototypowaniem układów scalonych ASIC, ale nie wszystkie zostały przedstawione w niniejszej rozprawie w sposób wyczerpujący.

Poza teoretycznymi analizami, projektami i symulacjami układów prototypowych i ich parametryzacją, autor opracował zaawansowane stanowiska pomiarowe wraz z dedykowanym oprogramowaniem, niezbędnym do zbierania danych i ich analizy. Autor uczestniczył także w procesie projektowania płytek drukowanych. Podczas długiej pracy badawczo rozwojowej autor zgromadził unikalne doświadczenie w budowaniu systemów odczytu dla detektorów fizyki cząstek, a w szczególności w projektowaniu i symulacjach układów do generacji przebiegów zegarowych i transmisji danych (zawierających PLL i DLL).

Kraków, 9.07.2015r